

基于 DA 的高性能 2-D IDCT 处理器设计

陈章进, 张志高, 孔敏达
(上海大学 微电子中心, 上海 200072)

摘 要: 为提高 2-D IDCT 的解码速度, 文中设计了一种基于 DA 的 2-D IDCT 处理器. 该处理器在算法上用 1-D IDCT 实现 2-D IDCT, 用 Chen 算法实现 1-D IDCT, 用 DA 实现乘加结构. 通过将输入数据分成高 6 位和低 6 位两组加快了处理器的速度, 通过查找表的共用及将输入数据投影到 $(-1, 1)$ 的编码减少了查找表的数量及大小. 通过在 Q_0 上预存四舍五入值省去了四舍五入所需的加法运算. 使用 Altera 的 EP2C20F484C7 对该处理器进行综合, 时钟最高频率可达 165.37 MHz.

关键词: 2-D IDCT; 分布式算法; 视频解码; FPGA

中图分类号: TP31

文献标识码: A

文章编号: 1000-7180(2010)07-0225-04

High Performance 2-D IDCT Processor Based on DA

CHEN Zhang-jin, ZHANG Zhi-gao, KONG Min-da

(Microelectronic Research and Development Center, Shanghai University, Shanghai 200072, China)

Abstract: In order to improve 2-D IDCT decoding speed, a high performance Two Dimensional (2-D) Inverse Discrete Cosine Transform (IDCT) processor is proposed. The 2-D IDCT is made using 1-D IDCT, the 1-D IDCT is made using Chen algorithm, the multiply and add operation is made using distribute arithmetic. For higher decoding speed, the inputs are divided into high 6 bits and low 6 bits. The look up tables' size is decreased by represent the inputs by $(-1, 1)$ either than $(0, 1)$. A novel method need no add operation is used for rounding. The high performance 2-D IDCT processor uses Altera EP2C20F484 FPGA and reaches an operating frequency of 165.37 MHz.

Key words: 2-D IDCT; distribute arithmetic; video decoding; FPGA

1 引言

离散余弦变换 (Discrete Cosine Transform, DCT) 及离散余弦反变换 (Inverse Discrete Cosine Transform, IDCT) 具有算法复杂度适中、易于硬件实现等特点, 被广泛运用于图像视频编解码领域. 许多国际标准如 JPEG、MPEG-2、MPEG-4、H. 263 等^[1]都使用了二维 (Two Dimensional, 2-D) DCT/IDCT 算法.

2-D IDCT 计算量非常大, 快速有效地实现 2-D IDCT 对图像视频解码极其重要. 在 2-D IDCT 具体计算方面, 主要的算法有直接多项式法、间接多项式

法和行列分解法^[2]等, 这些算法能在很大程度上减少 2-D IDCT 的计算量. 在某些特殊场合, 如便携式设备, 由于其有限的内存和 CPU 计算能力, 使用软件往往不能满足图像或视频解码的速度要求, 一种好的解决方法就是采用硬件实现.

文中主要针对 8×8 2-D IDCT 设计了一种 2-D IDCT 处理器. 该处理器使用行列分解法, 利用 1-D IDCT 实现 2-D IDCT, 采用 Chen 算法实现 1-D IDCT, 采用分布式算法 (DA) 实现乘加结构. 最后使用 Altera 的 EP2C20F484C7 FPGA 验证该处理器, 其工作频率可达 165.37 MHz.

收稿日期: 2009-06-18; **修回日期:** 2009-09-20

基金项目: 国家自然科学基金项目 (60773081, 6077018); 上海市科委项目 (08706201800, 09ZR1412000); 上海市教委项目 (07ZZ08)

2 离散余弦反变换

2.1 2-D IDCT 原理及其行列分解实现

8×8 2-D IDCT 可用公式(1)表示:

$$f(x, y) = \frac{1}{4} \sum_{u=0}^7 \sum_{v=0}^7 C(u)C(v)F(u, v) \cdot \cos\left[\frac{(2x+1)u\pi}{16}\right] \cos\left[\frac{(2y+1)v\pi}{16}\right] \quad (1)$$

$$\text{其中}, C(u), C(v) = \begin{cases} 1/\sqrt{2} & \text{for } u, v = 0 \\ 1 & \text{otherwise} \end{cases} \quad (2)$$

根据公式(1) 计算 2-D IDCT 所需的计算量是很大的,一次8×8 阶矩阵的 IDCT 需要 4096 次乘法 和 4032 次加法. 现将公式(1) 改写成公式(3):

$$f(x, y) = \frac{1}{2} \sum_{v=0}^7 C(v) \frac{1}{2} \left\{ \sum_{u=0}^7 C(u)F(u, v) \cdot \cos\left[\frac{(2x+1)u\pi}{16}\right] \right\} \cos\left[\frac{(2y+1)v\pi}{16}\right] \quad (3)$$

观察公式(3) 可以发现二维 IDCT 的计算可以通过行列分解的方法由 1-D IDCT 实现. 对 8×8 矩阵的 IDCT 来说就是先将矩阵按行(列)的方向进行 8 次 1-D 8 点 IDCT 计算,产生的中间矩阵再按列(行)的方向进行 8 次 1-D 8 点 IDCT 计算. 这样计算所需的运算量只有 1024 次乘法和 896 次加法,相比直接计算计算量大为减少.

2.2 Chen 算法

通过行列分解,2-D IDCT 的计算可以通过 1-D IDCT 实现. 1-D IDCT 的计算有很多快速算法. 如 Chen 算法^[3]、B. G. Lee 算法^[4]、Loeffler 算法^[5]等,使用这些算法能进一步减少 2-D IDCT 的计算量. 文中采用 Chen 算法实现 1-D IDCT. 根据 Chen 算法,8 点 1-D IDCT 可以分解如下:

$$\begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{bmatrix} = \frac{1}{2}PX_o + \frac{1}{2}QX_e \quad (4)$$

$$\begin{bmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{bmatrix} = \frac{1}{2}PX_o - \frac{1}{2}QX_e \quad (5)$$

$$PX_o = \begin{bmatrix} A & B & A & C \\ A & C & -A & -B \\ A & -C & -A & B \\ A & -B & A & -C \end{bmatrix} \begin{bmatrix} X_0 \\ X_2 \\ X_4 \\ X_6 \end{bmatrix} \quad (6)$$

$$QX_e = \begin{bmatrix} D & E & F & G \\ E & -G & -D & -F \\ F & -D & G & E \\ G & -F & E & -D \end{bmatrix} \begin{bmatrix} X_1 \\ X_3 \\ X_5 \\ X_7 \end{bmatrix} \quad (7)$$

其中 $A = \cos \frac{\pi}{4}, B = \cos \frac{\pi}{8}, C = \sin \frac{\pi}{8}, D = \cos \frac{\pi}{16},$

$E = \cos \frac{3\pi}{16}, F = \sin \frac{3\pi}{16}, G = \sin \frac{\pi}{16}.$

3 2-D IDCT 的设计

按照行列分解法思想,文中设计的 2-D IDCT 处理器的结构如图 1 所示.

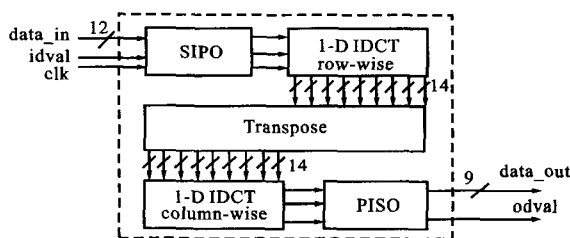


图 1 2-D IDCT 处理器结构图

该处理器的输入数据宽度 12 位,输出数据宽度 9 位. 待解码的像素数据以串行的方式输入, SIPO 模块完成数据的串并转换, IDCT 模块完成 8 点 1-D IDCT, Transpose 模块储存 1-D IDCT (row-wise) 模块的结果并将其转置输出, PISO 模块将列变换的并行结果限制到 $(-256, 255)$ 的范围后再以串行的方式输出.

主要的模块为 1-D IDCT 和 Transpose 模块, 下面将详细介绍这两个模块的设计.

3.1 1-D IDCT 模块的设计

1-D IDCT 的设计主要是乘累加的结构设计. 本文采用分布式算法(DA)实现该结构,使用分布式算法实现该结构具有精度高,面积小的特点.

式(6)和式(7)的任意一项都可以写成式(8)的形式,式中 N 表示输入数据的最高位.

$$\begin{aligned} y &= \sum_{k=1}^4 c_k x_k = \sum_{k=1}^4 c_k \frac{1}{2} [(x_k - (-x_k))] \\ &= - \sum_{k=1}^4 \frac{c_k}{2} (b_{kN} - \overline{b_{kN}}) 2^N + \sum_{n=0}^{N-1} \sum_{k=1}^4 \frac{c_k}{2} (b_{kn} - \overline{b_{kn}}) 2^n - \sum_{k=1}^4 \frac{c_k}{2} \\ &= - \sum_{k=1}^4 \frac{c_k}{2} (b_{kN} - \overline{b_{kN}}) 2^N + \sum_{n=0}^{N-1} \sum_{k=1}^4 \frac{c_k}{2} (b_{kn} - \overline{b_{kn}}) 2^n - Q_0 \end{aligned} \quad (8)$$

四输入的查找表本应保存 2^4 个数据,但是,通

过式(8)的方法,将只需要保存 2^3 个数据,查找表的规模减少了一半.以 PX_0 的第一个元素计算为例,根据式(8),具体需要保存的数据如表 1 所示.但是,仔细观察该表可以发现,该表存在对称性,实际上保存前 8 个数据就可以了,具体实现方法如图 2 所示, t_f 表示该位为第 0 位, t_s 表示最高位.

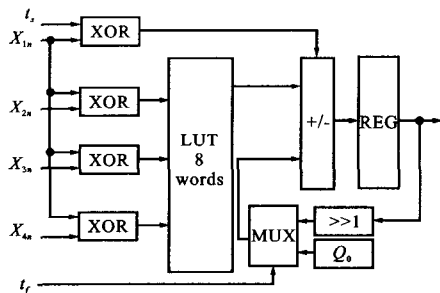


图 2 DA 实现乘累加

表 1 LUT 储存的系数值

x_{0n}	x_{2n}	x_{4n}	x_{6n}	LUT 储存器
0	0	0	0	$-1/2(A+B+A+C)$
0	0	0	1	$-1/2(A+B+A-C)$
0	0	1	0	$-1/2(A+B-A+C)$
0	0	1	1	$-1/2(A+B-A-C)$
0	1	0	0	$-1/2(A-B+A+C)$
0	1	0	1	$-1/2(A-B+A-C)$
0	1	1	0	$-1/2(A-B-A+C)$
0	1	1	1	$-1/2(A-B-A-C)$
1	0	0	0	$1/2(A-B-A-C)$
1	0	0	1	$1/2(A-B-A+C)$
1	0	1	0	$1/2(A-B+A-C)$
1	0	1	1	$1/2(A-B+A+C)$
1	1	0	0	$1/2(A+B-A-C)$
1	1	0	1	$1/2(A+B-A+C)$
1	1	1	0	$1/2(A+B+A-C)$
1	1	1	1	$1/2(A+B+A+C)$

采用分布式算法实现的乘累加结构有个不足的地方就是它需要较长的处理时间.如,对于 12 位的输入数据,采用图 2 的结构就需要 12 个时钟周期才能得出正确的结果.为了提高处理的速度,本文将输入数据分成高 $(N+1)/2$ 位和低 $(N+1)/2$ 位两组同时查表,并将图 2 的 LUT 改成双口 LUT,避免了表的数量增加,如图 3 所示.采用图 3 的结构对于 12 位的输入将只需要 6 个时钟周期.

完整的 1-D IDCT 模块如图 4 所示.在输出最终结果之前还需要进行四舍五入处理.对于一次 8

点 1-D IDCT 则需要再进行 8 次加法操作.本文设计了一种新的方法进行四舍五入操作,将四舍五入所要加的数值加到 PX_0 的 Q_0 里,这样在最后一步 Round 的时候实际上只有移位操作,省去了 Round 所需的加法操作.

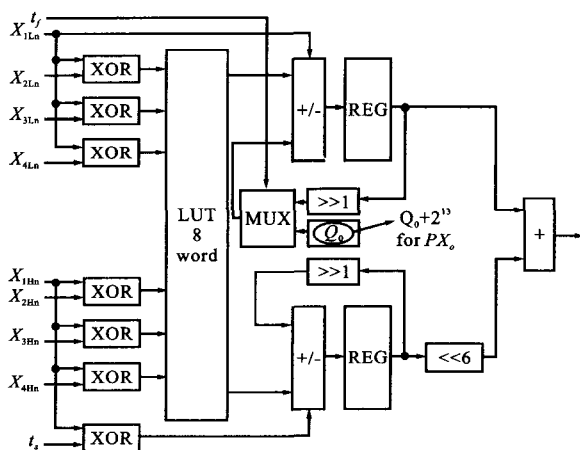


图 3 MAC 模块

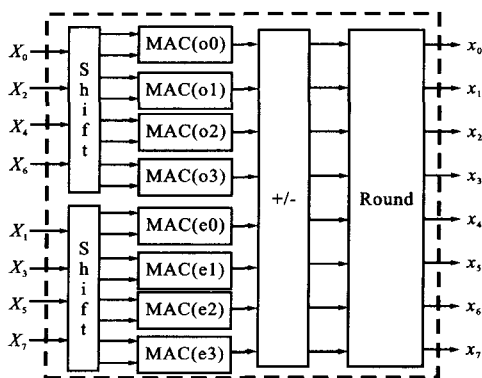


图 4 1-D IDCT 模块

为满足 IEEE 标准 1180-1990 规定的精度要求.根据参考文献[6],文中将所有的乘法系数放大倍,对于 1-D IDCT(row-wise)的查找表系数保存 15 位,1-D IDCT(row-wise)的结果保存 14 位,1-D IDCT(column-wise)的查找表系数保存 14 位.

3.2 Transpose 模块的设计

Transpose 模块的功能有两个,存储行 1-D IDCT 的结果,将行变换的结果转置输出.文中使用寄存器矩阵实现该功能,如图 5 所示[7].第一次该模块将行 1-D IDCT 的结果以行的方式存储到寄存器矩阵,结果全部存完后,每 8 个时钟周期输出一列数据同时数据左移一列,下一个 8×8 矩阵的行 1-D IDCT 结果将以列的方式存入寄存器矩阵,存满以后再以行的方式输出,如此交替进行完成行 1-D IDCT

结果的转置.

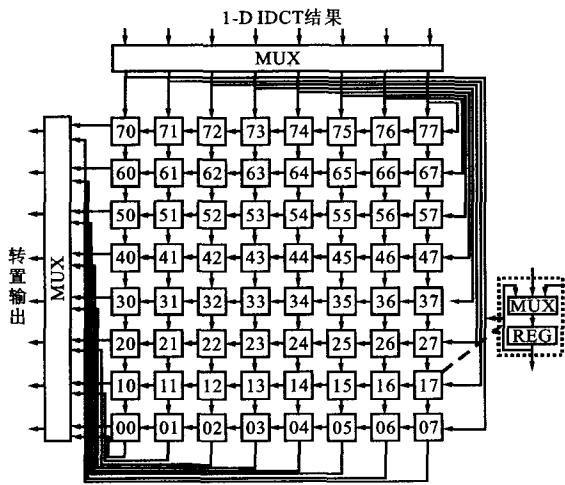


图 5 Transpose 模块

4 Verilog 仿真和 FPGA 综合结果

文中采用 Verilog 硬件描述语言编写实现了图 1 所示的高速 2-D IDCT 处理器.使用 ModelSim 6.2 对该处理器进行功能仿真,并用 Matlab 7.0 的功能函数 idct2 验证了该处理器功能正确.仿真结果及时序如图 6 所示.从开始输入第一个有效数据到输出第一个有效 2-D IDCT 结果数据需 82 个时钟周期.

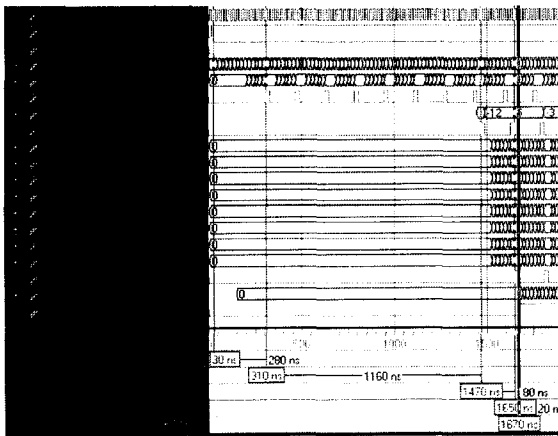


图 6 ModelSim 仿真结果

使用 Quartus II 8.0 将该处理器综合到 Altera 公司的 EP2C20F484C7.综合的结果如图 7、图 8 所示.该处理器使用了 3 658 LEs,最高时钟频率为 165.37MHz.

Total logic elements	3 658/18 752(20%)
Total combinational functions	3 467/18 752(18%)
Dedicated logic registers	2 204/18 752(12%)
Total registers	2 204

图 7 Quartus II 综合资源

Type	Slack	Required Time	Actual Time	From	To
1 Worst-case tsu	N/A	None	5.068 ns	data_in[0]	ROW_IDCT...
2 Worst-case tco	N/A	None	9.688 ns	PISO.u3kdv...	adval
3 Worst-case th	N/A	None	-3.208 ns	data_in[8]	SIF0.u0dat...
4 Clock Setup 'clk'	N/A	None	165.37 MHz (period = 6.047 ns)	ROW_IDCT...	ROW_IDCT...
5 Total number of failed paths					

图 8 Quartus II 综合时序

5 结束语

文中针对图像视频解码中的 8×8 2-D IDCT 计算专门设计了 2-D IDCT 处理器.该处理器采用行列分解算法计算 2-D IDCT,采用 Chen 算法计算 1-D IDCT,采用 DA 实现 Chen 算法中的乘累加结构.通过将输入数据用(-1,1)表示而不是(0,1)表示,使查找表的容量减少了一半.通过将输入数据分成高(N+1)/2 位和低(N+1)/2 位两组同时查表和设计,设计双口 LUT 将解码所需的时钟周期减少了将近一半,而表的数目并没有增加.通过在 PX₀ 上预加四舍五入值省去了四舍五入所需的加法运算.

使用 ModelSim 和 Matlab 工具验证了该处理器的功能的正确性.使用 Quartus II 软件将其综合到 Altera 的 EP2C20F484C7,该处理器使用了 3 658LEs,时钟最高频率可达 165.37MHz.

参考文献:

- [1] 孔维功,张国杰,张效军. 基于 DA 算法的 1-D DCT IP 核结构设计[J]. 微电子学与计算机, 2008, 25(8): 143 - 147.
- [2] Nam Ik Cho, San Uk Lee. Fast algorithm and implementation of 2-D discrete cosine transform[J]. IEEE Transactions on Circuits and Systems, 1991, 38(3): 297 - 305.
- [3] Wen-Hsiung Chen, Smith C, Fralick S. A fast computational algorithm for the discrete cosine transform[J]. IEEE Transactions on Communications, 1977, 25(9): 1004 - 1009.
- [4] Byeong Lee. A new algorithm to compute the discrete cosine Transform [J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1984, 32(6): 1234 - 1245.
- [5] 穆荣,朱贺新,焦继业. 一种高度并行无乘法器结构的二维 IDCT 协处理器设计[J]. 微电子学与计算机, 2008, 25(1): 104 - 107.
- [6] Seehyun Kim, Wonyong Sung. Fixed-point error analysis and word length optimization of 8×8 IDCT architectures [J]. IEEE Transactions on Circuits and Systems for Video Technology, 1998, 8(8): 935 - 940. (下转第 232 页)

台高精度铜带精轧机、两台酸碱洗机列、四台可控气氛连续式热处理炉机列、四台高精度精整包装机列、两台清洗机列、两台轧辊磨床,其余都是一套设备。

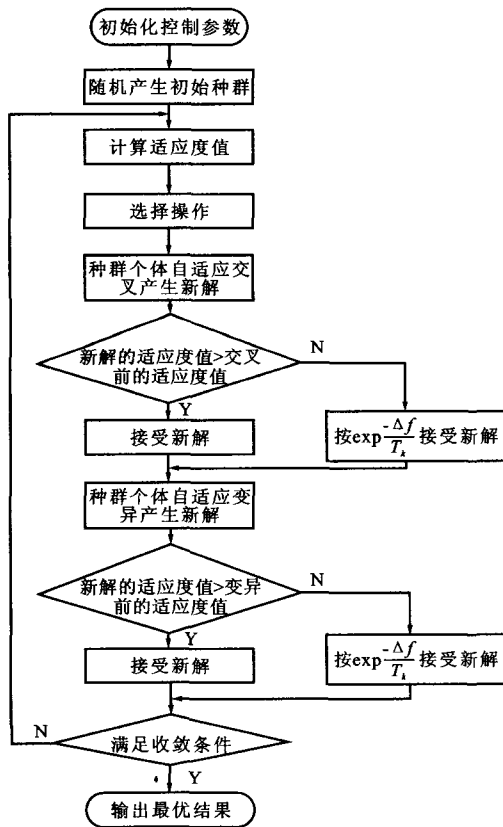


图3 模拟退火混合遗传算法流程

按照上述方法进行仿真实验,基于该算法的生产调度与手动调度的对比结果如表2所示。可以看出,相对于遗传算法和模拟退火算法,遗传模拟退火算法优化之后效果是显著的。

表2 纯铜窄带加工状态表

指标	遗传算法	模拟退火算法	遗传模拟退火算法
最优指标	44.67	48.75	31.34
平均指标	45.72	50.43	33.68
最差指标	47.86	52.64	35.63

4 结束语

文中针对铜板带生产过程特点,提出了一种适合铜板带加工行业的MES构架^[3],并对物料工艺状态建模和车间生产调度这两项关键技术进行重点研究。文中提出的支持实时性的铜板带物料工艺状态建模和遗传模拟退火算法优化铜板带车间生产调度^[4]的方法,可有效平衡各工序的产能,使前后工序同步化,物流运行准时化,从而实现精益化生产。随着现场数据采集技术的提高和可视化现场工作环境的出现,需要建立一个可以实现对物料加工工艺状态连续性描述的物料工艺状态模型,另外,智能优化算法控制参数的选取往往依赖于经验和大量的实验结论,如何选择最优的参数也需要创建理论性的指导。因此如何解决铜板带生产中上述两个问题将是下一步研究工作的重点。

参考文献:

- [1] Pel Ernst. Enterprise resource planning (ERP) and manufacturing execution systems(MES) ERP - und MES - Systeme[J]. ZWF Zeitschrift fuer Wirtschaftlichen Fabrikbetrieb, 2008,103(4):271 - 275.
- [2] Huang Jiayen, Yao Mingjiong. A genetic algorithm for solving the economic lot scheduling problem in flow shops [J]. International Journal of Production Research, 2008, 46(14):3737 - 3761.
- [3] 闫欢,张宜生,李德群. 规则引擎在制造企业 MES 中的研究与应用[J]. 计算机工程,2007,33(7):210 - 212.
- [4] 刘爱珍,王嘉祯,贾红丽,等. 改进的多任务分配与调度遗传算法[J]. 微电子学与计算机,2007,20(9):162 - 168.

作者简介:

肖 翀 男,(1966-),高级工程师,信息化管理师.研究方向为软件工程。

袁喜连 女,(1981-),硕士研究生.研究方向为软件工程。

刘 勇 男,(1966-),副教授,硕士生导师.研究方向为计算机软件与理论、软件体系结构软件复用。

作者简介:

陈章进 男,(1968-),博士,副教授,硕士生导师.研究方向为新型显示及驱动。

张志高 男,(1986-),硕士研究生.研究方向为视频编解码。

孔敏达 男,(1986-),硕士研究生.研究方向为视频编解码。

(上接第228页)

- [7] Loeffler C, Ligtenberg A, Moschytz G S. Practical fast 1 - D DCT algorithms with 11 multiplications[J]. Speech and Signal Processing, 1989,2(5):998 - 991.